

(51) Int.Cl.⁷
H 0 1 F 17/00

識別記号

F I
H 0 1 F 17/00データベース* (参考)
B 5 E 0 7 0

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願2002-155682(P2002-155682)

(22) 出願日 平成14年5月29日(2002.5.29)

(71) 出願人 000204284

太陽誘電株式会社

東京都台東区上野6丁目16番20号

(72) 発明者 近藤 龍一

東京都台東区上野6丁目16番20号 太陽誘電株式会社内

(72) 発明者 池田 賢司

東京都台東区上野6丁目16番20号 太陽誘電株式会社内

(74) 代理人 100090413

弁理士 梶原 康稔

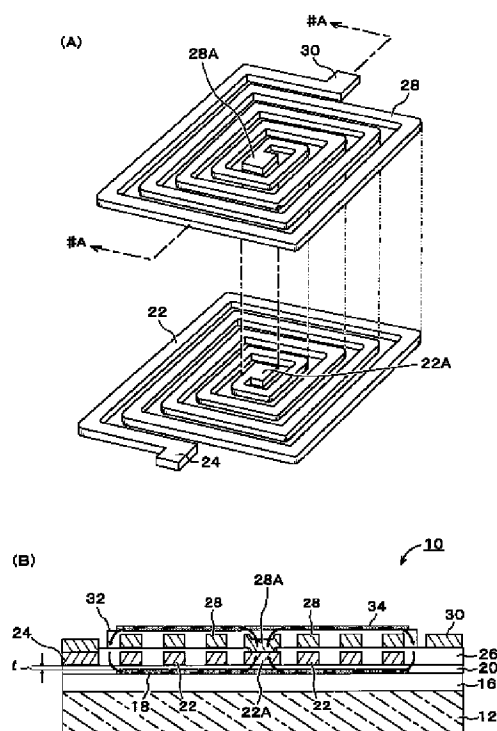
最終頁に続く

(54) 【発明の名称】 薄膜インダクタ及びそれを利用した電子機器

(57) 【要約】

【課題】 実装面積を縮小するとともに、磁束を有効活用して高効率化を図る。

【解決手段】 薄膜インダクタ10は、基板12上に、層間絶縁膜16、下部磁性薄膜18、層間絶縁膜20、第1層導体パターン22、層間絶縁膜26、第2層導体パターン28、層間絶縁膜32、上部磁性薄膜34が積層された構造となっている。上下の磁性薄膜18、34は、ナノスケールのグラニュー膜よりなる。また、前記第1層及び第2層の導体パターン22、28は略中央部で接続されている。磁性薄膜を使用することにより、単位配線長あたりのインダクタンス値を増大させることができる。また、磁性薄膜内に磁束が集中するため、磁束漏れを抑制してインダクタンス素子として高効率化が可能となる。また、配線を2層構造とすることにより、単層構造の場合と比較して、更に占有面積を縮小することができる。



【特許請求の範囲】

【請求項1】 磁性粒子が絶縁体に包み込まれたグラニュー膜を利用し、基板上に少なくとも絶縁層を介して形成された薄膜インダクタであって、
導体パターンでスパイラル型に形成された平面コイルを、絶縁膜を介して複数積層するとともに、該複数の平面コイル間を接続した積層コイル、
該積層コイルの上方又は下方の主面の少なくとも一方に前記絶縁膜を介して設けられており、前記グラニュー膜よりなる磁性薄膜、を備えたことを特徴とする薄膜インダクタ。

【請求項2】 前記積層コイルは、前記複数の平面コイルの導体パターンが、積層方向において概略一致するように積層されたことを特徴とする請求項1記載の薄膜インダクタ。

【請求項3】 前記磁性粒子が非酸化磁性金属であることを特徴とする請求項1又は2記載の薄膜インダクタ。

【請求項4】 前記非酸化磁性金属の酸化を防止する酸化防止膜を形成したことを特徴とする請求項3記載の薄膜インダクタ。

【請求項5】 前記磁性薄膜を、前記絶縁体に前記磁性粒子が包み込まれたグラニュー膜による磁性層と絶縁層とを交互に積層した積層磁性膜によって形成したことを特徴とする請求項1～4のいずれかに記載の薄膜インダクタ。

【請求項6】 請求項1～5のいずれかに記載の薄膜インダクタを使用したことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、グラニュー膜よりなる磁性薄膜を利用した薄膜インダクタ及びそれを利用した電子機器に関し、更に具体的には、高周波帯域での使用に好適な薄膜インダクタ及び電子機器に関するものである。

【0002】

【背景技術と発明が解決しようとする課題】近年の携帯電話などに代表される移動体通信の進歩は目覚しく、急速な小型化・薄型化・軽量化が進んでいる。インダクタ・トランスなどの磁性部品についても、小型化、動作周波数の増加にともなう高周波化が求められている。

【0003】従来の高周波増幅回路では、同調回路用インダクタやDC電流供給用チョークコイルとして、配線だけで形成された空芯スパイラルコイルが使用されている。しかしながら、空芯構造であるため、大きな実装面積を必要とし、MMIC (Monolithic Microwave Integrated Circuit, モノリシック・マイクロ波集積回路) などの集積回路の小型化が困難となっている。また、インダクタを構成する配線が長くなるため抵抗成分が増大し、電圧降下が生じて消費電力が増加するという不都合がある。更に、磁束が広範囲に分布するために他の素子

と干渉しやすい。このため、実装時に他の素子との間隔を広くとる必要があり、電子機器の小型化を妨げたり、設計やデザインの自由度が低下する要因ともなっている。

【0004】一方、従来からインダクタの磁心として用いられている磁性体には、例えば、積層チップインダクタなどに使用されているNi-Zn-Cu系フェライト、Mn-Zn系フェライトなどの酸化物磁性体や、パーマロイ、センダストなどの金属磁性体がある。これらのうち、フェライトは酸化物であり飽和磁化が小さい。そのため、自然共鳴周波数が低く、高周波帯域での使用は困難である。また、金属磁性体は抵抗率が低く、高周波帯域では渦電流損失が大きくなるため実用には適していない。更に、磁性薄膜を利用した薄膜インダクタでは、インダクタンスを高めるために磁性薄膜を配線近傍に配置する傾向にあるが、このような場合に、金属磁性体を用いた薄膜インダクタでは、浮遊容量に起因した回路の共振による損失を誘起することになる。

【0005】以上のように、従来の磁性体は、共振周波数が低く、渦電流損失が大きいため、GHz (10⁹ Hz) の高周波帯域で使用するインダクタの磁心材料としては適していない。そのため、これらの磁性体の薄膜を高周波帯域で使用するインダクタに用いて小型化、高周波化する試みはなされておらず、インダクタの大きな占有面積が集積回路の小型化の妨げとなっているという問題は解決されていない。更に、キャパシタンスとインダクタンスを接近形成してGHz帯域で使用すると、これによって両者で干渉が生じてしまう。このような不都合を解消するためには、干渉を低減する工夫が必要である。

【0006】この発明は、以上の点に着目したもので、実装面積を縮小するとともに、磁束を有効に活用することによって高効率化を図り、かつ、近接部品に対する干渉の低減化を図ることができる薄膜インダクタ及びそれを利用した電子機器を提供することを、その目的とするものである。

【0007】

【課題を解決するための手段】前記目的を達成するため、本発明は、磁性粒子が絶縁体に包み込まれたグラニュー膜を利用し、基板上に少なくとも絶縁層を介して形成された薄膜インダクタであって、導体パターンでスパイラル型に形成された平面コイルを、絶縁膜を介して複数積層するとともに、該複数の平面コイル間を接続した積層コイル、該積層コイルの上方又は下方の主面の少なくとも一方に前記絶縁膜を介して設けられており、前記グラニュー膜よりなる磁性薄膜、を備えたことを特徴とする。

【0008】主要な形態の一つは、前記積層コイルは、前記複数の平面コイルの導体パターンが、積層方向において概略一致するように積層されたことを特徴とする。

他の形態は、前記磁性粒子が非酸化磁性金属であることを特徴とする。更に他の形態は、前記非酸化磁性金属の酸化を防止する酸化防止膜を形成したことを特徴とする。更に他の形態は、前記磁性薄膜を、前記絶縁体に前記磁性粒子が包み込まれたグラニュー膜による磁性層と絶縁層とを交互に積層した積層磁性膜によって形成したことを特徴とする。

【0009】本発明の電子機器は、上述したいずれかの薄膜インダクタを使用したことを特徴とする。本発明の前記及び他の目的、特徴、利点は、以下の詳細な説明及び添付図面から明瞭になる。

【0010】

【発明の実施の形態】<実施形態1>……以下、本発明の実施の形態について詳細に説明する。図1は、実施形態1の薄膜インダクタの構造を示したものであり、同図(A)は、コイルの2層構造を示す分解斜視図である。同図(B)は、本実施形態の主要断面図であり、前記図(A)を#A-#A線に沿って切断した断面を矢印方向に見た状態に相当するものである。

【0011】まず、図1を参照して、本実施形態の基本構造を説明する。同図(B)において、薄膜インダクタ10は、基板12上に、層間絶縁膜16を介して下部磁性薄膜18が形成されており、該磁性薄膜18上に、層間絶縁膜20を介して第1層導体パターン22が形成されている。そして、前記第1層導体パターン22上には、層間絶縁膜26を介して第2層導体パターン28が形成されている。該第2層導体パターン28上には、層間絶縁膜32を介して上部磁性薄膜34が形成されている。すなわち、スパイラル状の平面コイルを、絶縁膜と磁性薄膜で挟み込んだ構造となっている。

【0012】前記基板12としては、例えばSiなどが用いられ、層間絶縁膜16、20、26、32としては、誘電率が低いものであれば各種のものを利用してよいが、例えばポリイミドが好適である。下部磁性薄膜18及び上部磁性薄膜34は、例えばCoFeSiOによって形成されており、絶縁体（この場合はSiO₂）と金属などの磁性粒子（この場合はCoFe）が分離・共存するグラニュー膜よりなる。

【0013】前記グラニュー膜としては、高飽和磁化、低保磁力、低飽和磁歪、高電気抵抗率を有するとともに、適度な磁気異方性を併せ持つナノスケール（nm、10⁻⁹）のオーダーのナノグラニュー磁性薄膜が好適である。図8（A）には、グラニュー磁性薄膜の様子が示されており、SiO₂による絶縁体100中に、CoFe合金による磁性粒子102が点在している。別言すれば、磁性粒子102を包み込むように、粒界に絶縁体100が存在する構造となっている。

【0014】絶縁体100の厚みDi（磁性粒子102の間隔ないし距離に相当）が0.5nm（5Å）より小さくなると電気比抵抗が小さくなって渦電流損失が増大

し、結果として実用には適さなくなる。一方、絶縁体100の厚みDiが1.5nm（15Å）より大きくなると、磁性粒子102間の交換相互作用が小さくなるため、軟磁気特性が劣化してしまう。従って、絶縁体100の厚みDiは、0.5nm～1.5nmの範囲であることが好ましい。特に、透磁率の最適化の観点からすると、絶縁体100の厚みDiは、0.8nm～1.2nmの範囲がより好ましい。なお、磁性粒子102の粒径Dpは、例えば10nm（100Å）程度である。

【0015】このようなCoFeAlOグラニュー磁性薄膜は、CoFe合金ターゲットとSiO₂ターゲットを用いた二元同時非反応性スパッタを用い、成膜時に酸素を流さないようにして形成する。スパッタガスとしてはアルゴンなどの希ガスを使用し、基板にはSi単結晶を使用して室温で成膜する。

【0016】図8（B）には、以上のようにして作製した試料のうち、CoFeSiOナノグラニュー磁性薄膜のサンプルについて、1ターンコイル法によって測定した透磁率の周波数特性の測定結果が示されている。同図の横軸は周波数であり、縦軸は透磁率である。なお、両軸とも対数目盛となっている。同図に示すように、透磁率の実部μ'の値は300程度でいずれの測定周波数に対しても充分大きな値となっている。一方、透磁率の虚部μ''は、周波数が2GHzに至るまで非常に小さな値となっていることから、本例の磁性薄膜の共振周波数が2GHzを超えていることが分かる。

【0017】次に、図1に戻って、前記第1層導体パターン22及び第2層導体パターン28は、同図（A）に示すようにスパイラル状に形成されており、略中央の接続部22A及び28Aにおいて上下パターンが接続している。なお、上下の導体パターンは、積層方向において必ずしも一致する必要はないが、重なるように形成することによって、磁束を閉じ込める効果が高くなり好都合である。このような導体パターンとしては、電気抵抗の低い金属が好適であり、例えば、アルミニウムが用いられるが、銅などの他の金属を用いるようにしてよい。

【0018】次に、図2及び図3を参照して、以上のように構成された薄膜インダクタ10の製造方法の一例を示す。図2及び図3は、本実施形態の薄膜インダクタ10の製造工程を示す図である。最初に、図2（A）に示すように、Si基板12上に層間絶縁膜16となるポリイミドを、スピコート法などの適宜の方法で塗布する。

【0019】次に、図2（B）に示すように、層間絶縁膜16上に、リフトオフ用レジスト38を塗布してパターンを形成し、ナノグラニュー膜のスパッタリングを行う。そして、レジスト38の除去後、同図（C）に示すように、下部磁性薄膜18のパターンを形成する。その後、同図（D）に示すように下部磁性薄膜18上に、再び、ポリイミドによる層間絶縁層20をスピコート法

などの適宜の方法で形成する。次に、同図（E）に示すように、導体としてA1を全面に蒸着し、フォトレジスト40をマスクとしてRIEによるドライエッチングを行い、図1（A）に示すようなスパイラル状の第1層導体パターン22を形成する。該第1層導体パターン22の中心側の端部は、後述する第2層導体パターン28と接続する接続部22Aとなっており、外側の端部は、外部に引き出すための引出部24となっている。

【0020】その後、図3（A）に示すように、前記第1層導体パターン22上に、層間絶縁層26であるポリイミドを上述した方法によって塗布する。層間絶縁層26は、略中央位置に前記第1層導体パターン22の接続部22Aを露出させるホールが形成されており、更に、縁部には、薄膜インダクタ10の一方の引出部24に対応する位置に該引出部24を露出させるためのホールが形成されている。また、必要に応じて表面の平坦化処理が行われる。なお、本実施形態では導体パターンとしてA1を利用しているため平坦化処理を行う必要はないが、例えば、銅を使用する場合には、ある程度の膜厚の層間絶縁膜26を形成した後に平坦化処理を行うことが好ましい。

【0021】以上の手順により第1層部分を形成した後、熱硬化を行った後に以下の手順により第2層部分を形成する。図3（B）に示すように、第2層導体パターン28用のA1を全面に蒸着し、フォトレジスト42をマスクとしてRIEによるドライエッチングを行い、同図（C）に示すような第2層導体パターン28を形成する。第2層導体パターン28も、図1（A）に示すように、スパイラル型の平面コイルであり、中心側の端部には、前記第1層導体パターン22と接続するための接続部28Aが形成されている。また、外側の端部には、薄膜インダクタの他方の引出部30が形成されている。このとき、前記層間絶縁膜26の略中央部にコンタクト用のホールが形成されているため、該ホールを介して第1層及び第2層の導体パターンの接続部22A及び28Aが接続される。

【0022】次に、図3（D）に示すように、前記第2層導体パターン28上に、層間絶縁層32となるポリイミドを適宜方法で塗布し、インダクタ上部の平坦化を行う。該平坦面上に図示しないリフトオフ用レジストを塗布してパターンを形成した後、スパッタ法などによってグラニューラ薄膜を成膜する。これにより、同図（E）に示す上部磁性薄膜34が形成される。

【0023】以上のようにして形成された薄膜インダクタ10は、一方の引出部24及び他方の引出部30を介して第1層導体パターン22及び第2層導体パターン28に通電すると、スパイラル状となっているためにインダクタとして作用する。この通電によって生じた磁束が下部磁性薄膜18及び上部磁性薄膜34に作用し、所定の特性のインダクタが得られる。図1（B）には、本実

施形態の薄膜インダクタ10の磁束分布が矢印で示されている。同図に示すように、上下の磁性薄膜18及び34が磁束の通路となるため、磁束漏れがなく効率がよい。

【0024】このように、本実施形態によれば、CoFeSiOグラニューラ薄膜による下部磁性薄膜18及び上部磁性薄膜34を、スパイラル型コイルの上下主面に装架することとしたので、同一配線長でありながら、従来よりも大きなインダクタンス値を得ることができる。別言すれば、同一面積で、従来のインダクタよりも大きなインダクタンス値を得ることができるため、インダクタの占有面積を縮小することができる。また、配線長を短縮することによりトランジスタの効率を下げているチョークインダクタの直列抵抗を減少することができる。更に、磁性薄膜18及び34内に磁束が集中するため、外部への磁束漏れが抑制され、インダクタとして高効率化が可能となるとともに、実装時のデザインの自由度を増すことができる。

【0025】更に、本実施形態の薄膜インダクタ10は、第1層導体パターン22及び第2層導体パターン28よりなる2層構造となっている。このような2層構造とすることにより、単層の場合と比較して、単位インダクタンスあたりの配線長を短縮することができるため、占有面積の縮小及び直列抵抗値の抑制に好適である。また、上下配線の導体パターンを積層方向において一致するように積層することとしたので、磁束を閉じ込める効果が向上する。

【0026】次に、図4～図6を参照して、本実施形態の高周波特性例について説明する。上述した実施形態の製造方法に従って、図4に示す薄膜インダクタをそれぞれ作成した。図4（A）は比較用の空芯型、同図（B）は配線下部装荷型、同図（C）は配線上部装荷型、同図（D）は閉磁路型、同図（E）は上下装荷型の薄膜インダクタのサンプルの断面図である。そして、各サンプルについてネットワークアナライザを用いてインピーダンスを測定し、インダクタンス値及びQ値を算出して高周波特性の評価を行った。図5は、サンプル作成した薄膜インダクタのインダクタンス値及びQ値の周波数特性を示す図であり、同図（A）には比較用の空芯型、同図（B）には配線下部装荷型、同図（C）には配線上部装荷型、同図（D）には閉磁路型、同図（E）には上下装荷型とした薄膜インダクタの特性がそれぞれ示されている。同図中、横軸は周波数、左側の縦軸はインダクタンス値、右側の縦軸はQ値である。また、横軸は対数目盛となっており、横軸・縦軸のいずれにおいても「E」は10のべき乗を表す。例えば、「E-09」は、「 10^{-9} 」を表す。測定した試料は、導体パターン幅=10 μm 、導体パターン間隔=10 μm 、導体パターンターン数=5であり、第1層及び第2層を合わせて10ターンである。

【0027】また、図6には、第1層導体パターン及び第2層導体パターンのターン数をそれぞれ3～5とした場合の上部又は下部装荷構造及び上下装荷構造の各サンプルについて、1GHzにおいて、空芯型の薄膜インダクタのサンプルと比較した場合のインダクタンスの増加率及び単位インダクタンスあたりの抵抗値の減少率が示されている。

【0028】これらの図に示すように、図4(A)に示す空芯型の薄膜インダクタの場合と比較して、同図(B)～(E)に示す磁性薄膜を装荷した各サンプルは、低周波帯域においていずれも空芯構造よりもインダクタンス値が高くなっている。例えば、下部又は上部に磁性薄膜を装荷する構造とすることによって、約25%程度インダクタンス値が増加していることが分かる。更に、上下に磁性薄膜を装荷することによって、低周波帯域においては空芯構造の約70%程度、高周波帯域(2GHz)においては約30%程度インダクタンス値が増加している。これらの結果から、磁性薄膜が有効に作用していることが確認できる。

【0029】更に、同図(D)と(E)を比較すると、両者でほぼ同様の特性となっている。このことから、本実施形態のグラニュー磁性薄膜が磁束の閉じ込めに極めて有効に作用していることが分かる。一方、上記のように磁性薄膜を装荷した薄膜インダクタは、空芯構造と比較してQ値が低下する傾向が見られるが、積層構造の磁性薄膜を用いているので抵抗率は大きいため、Q値の低下の度合いは大きくない。

【0030】このようなインダクタンス値の上昇は、磁性薄膜による磁束の閉じ込め効果によるものであると考えられる。このような結果からすると、磁性薄膜の共振周波数は、低く見積もっても2GHz以上であり、2GHzの高周波帯域において十分な磁気特性を得られると考えられる。

【0031】また、図6に示すように、上部、下部、上下のいずれかに磁性薄膜を装荷することによって、20～45%程度単位インダクタンス当たりの抵抗値が減少しており、直列抵抗の低下に効果があることが分かる。このように直列抵抗が低下することにより、電圧降下による消費電力の拡大を防止することが可能となる。以上の結果より、同じインダクタンス値を得るための配線長が短くなり、チョークインダクタの占有面積を小さくすることが可能であることが分かる。

【0032】次に、図7には、磁性薄膜の透磁率、低効率、構造(インダクタと磁性薄膜間距離など)を変化させたときのインダクタンス値及びQ値の変化が示されている。具体的には、磁性薄膜の透磁率を300、抵抗率を $1.1 \times 10^{-6} \text{ S/m}$ とし、磁性薄膜とインダクタとの距離(図1(B)におけるt)を変化させたときのインダクタンス値とQ値の周波数特性を、電磁界シミュレーションと実測の双方について示している。同図にお

いても、横軸は周波数、左側の縦軸はインダクタンス値、右側の縦軸はQ値であり、横軸は対数目盛となっている

【0033】同図に示すように、電磁界シミュレーションの結果によると、層間距離tが大きくなるに従って、インダクタンス値及びQ値ともに大きくなっているが、約15 μm 程度で飽和している。この点からすると、磁性薄膜と配線の配置の最適化が特性向上に効果的であることが分かる。また、磁性薄膜の抵抗率によって特性が変化するため、より高い抵抗率を有する磁性薄膜を用いることによって特性を改善することができる。更に、磁性薄膜の微細加工も抵抗率増加と同様の効果を示すため、磁性薄膜を微細化することにより寄生成分を低減することができるため、特性向上も期待できる。

【0034】<実施形態2>……次に、実施形態2について説明する。この実施形態2は、図9(A)に示すように下部磁性薄膜18の表裏に酸化防止膜110、112をそれぞれ設けるようにしたものである。下部磁性薄膜18としては、上述したように、例えば磁性金属が非酸化のグラニュー膜が使用される。しかしながら、下部磁性薄膜18を形成した後に真空を破ると、下部磁性薄膜18の磁性金属が空気中の酸素や水分と結合して酸化してしまい、飽和磁化が低下して磁気特性が全体として劣化してしまう。下部磁性薄膜18を加熱するような処理を施すことによって、磁性金属の酸化が進行する。

【0035】そこで本実施形態では、下部磁性薄膜18の表裏に酸化防止膜110、112を形成することで、下部磁性薄膜18中の磁性金属の酸化を防止する。酸化防止膜110、112としては、例えば Al_2O_3 膜や SiO_2 膜などが好適である。

【0036】なお、図示の例では、酸化防止膜を下部磁性薄膜18の表裏に設けたが、いずれか一方、特に酸素に触れやすい面のみに形成するようにしてもよい。上部磁性薄膜34についても同様である。

【0037】<実施形態3>……次に、本発明の実施形態3について説明する。上述した実施形態1及び2では、単層構造のグラニュー磁性薄膜について説明したが、本実施形態では、磁性層と絶縁層が積層形成されている。図9(B)に示すように、積層磁性膜50は、絶縁体58と非酸化金属などの磁性粒子(非酸化磁性粒子)56が分離・共存するグラニュー薄膜よりなる磁性層52と、金属酸化物などによる絶縁層54を、交互に複数積層した積層構造となっている。表裏面には、酸化防止膜60がそれぞれ形成されている。酸化防止膜60としては、絶縁体58を比較的厚く形成したものでもよい。もちろん、本実施形態においても、酸化防止膜60は、図示のように積層膜の表裏両方に設けるようにしてもよいし、いずれか一方、特に外気に触れる表面側にのみ設けるようにしてもよい。

【0038】前記積層磁性膜50の磁性層52は、例え

ばC o F e A l O膜によって形成され、前記絶縁層54は例えばA l₂ O₃膜によって形成される。製造方法の一例を示すと、スパッタリングのターゲットとして、C o F e合金ターゲット（C o : F e = 8 0 : 2 0at%（原子%））とA l₂ O₃ターゲットを用いる。そして、S i基板を用意し、前記ターゲットを交互に用いてスパッタリングを行い、基板上にC o F e A l O膜とA l₂ O₃膜の積層膜（膜厚0.5 μm）を形成する。絶縁層54として、S i O₂膜を用いてもよい。

【0039】本実施形態の積層磁性膜50によれば、絶縁層54が導入されるため、電気抵抗が上昇し、渦電流損失が軽減される。また、絶縁層54によって磁性粒子56の粒成長が妨げられて微細化するため、粒界密度が上昇して電気抵抗が高くなり、結晶磁気異方性が低減されて軟磁気特性が向上する。もちろん、積層磁性膜50の共振周波数は2GHz以上であり、高周波帯域でも十分に使用可能である。

【0040】＜他の実施形態＞……本発明には数多くの実施形態があり、以上の開示に基づいて多様に改変することが可能である。例えば、次のようなものも含まれる。

（1）前記実施形態の基板、絶縁膜、磁性薄膜、配線の材質は一例であり、同様の作用を奏するように適宜変更可能である。

（2）前記形態に示した製造工程も一例であり、公知の各種の方法を適用してよい。

（3）前記形態では、スパイラル型の配線の一番外側から電極を引き出すこととしたが、例えば、1層目は一番外側から引き出す一定パターンとし、2層目は適宜の位置から引き出すようにすることによって、インダクタのL値（インダクタンス値）を調整するようにしてもよい。本発明によれば、L値の調整方法として、コイル導体パターンの長さを変更するのみならず、上下のコイル導体パターンの重なり具合を変更する、絶縁層の厚みを変更する、磁性薄膜の特性、面積、厚み、積層数、材料を調整するなどの方法も可能であり、粗調整と微調整を異なる方法で行うようにしてもよい。

（4）前記形態では、配線を2層構造とすることとしたが、必要に応じて更に多層構造としてもよい。

（5）本発明の薄膜インダクタは、部品単体として使用してもよいし、集積回路に集積使用するようにしてもよい。また、本発明は、携帯電話など各種の電子機器に適用可能である。

【0041】

【発明の効果】以上説明したように、本発明によれば、次のような効果が得られる。

（1）磁性薄膜を、スパイラル型インダクタの上部又は下部の少なくともいずれか一方の面に装荷することとしたので、単位配線長あたりのインダクタンス値を増加させることができる。これにより配線長の短縮が可能とな

り、実装面積ないし占有面積の縮小が可能になるとともに、直列抵抗を低減して消費電力の増加を抑制することができる。また、磁性薄膜内に磁束が集中するため、外部への磁束漏れが抑制され、インダクタンス素子として高効率化が可能となる。また、近接部品に対する磁気的な干渉も低減される。

（2）複数層の平面コイルを積層してインダクタを形成することとしたので、単層構造の場合と比較して、更に、単位配線長あたりのインダクタンス値の増加、外部への磁束漏れの抑制の効果が高くなる。

【図面の簡単な説明】

【図1】本発明の実施形態1の薄膜インダクタの構成を示す図である。

【図2】前記形態の製作工程の一例を示す図である。

【図3】前記形態の製作工程の一例を示す図である。

【図4】前記実施形態の磁性薄膜を装荷したインダクタと空芯構造のインダクタの主要断面図である。

【図5】前記実施形態の磁性薄膜を装荷したインダクタと空芯構造のインダクタのインダクタンス及びQ値の周波数特性例を示す図である。

【図6】前記形態の空芯構造と比較したインダクタンスの増加率及び単位インダクタンス当たりの抵抗値の低下率を示す図である。

【図7】薄膜インダクタのインダクタンス及びQ値の電磁界シミュレーション例を示す図である。

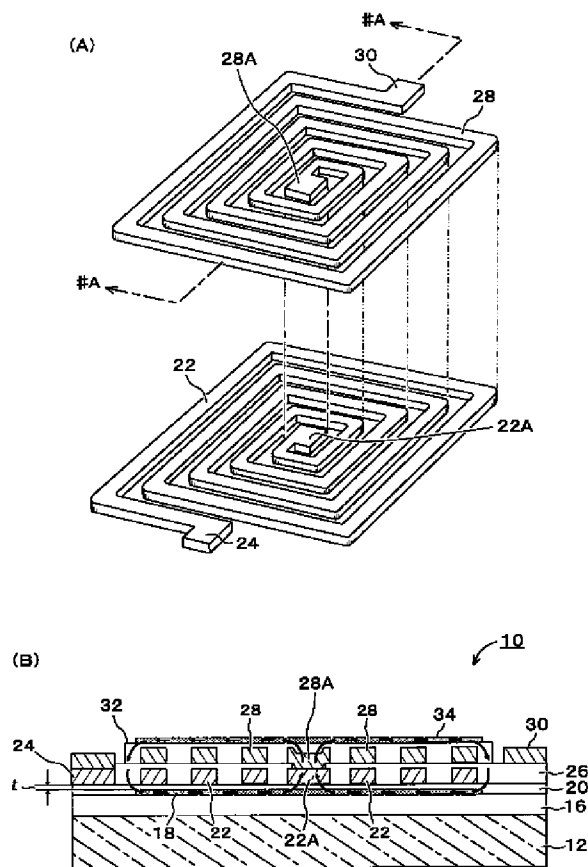
【図8】グラニューラ膜の一例を示す図である。（A）は構造を示す図であり、（B）は透磁率の周波数特性例を示す図である。

【図9】本発明の実施形態2及び3の磁性薄膜を示す図である。

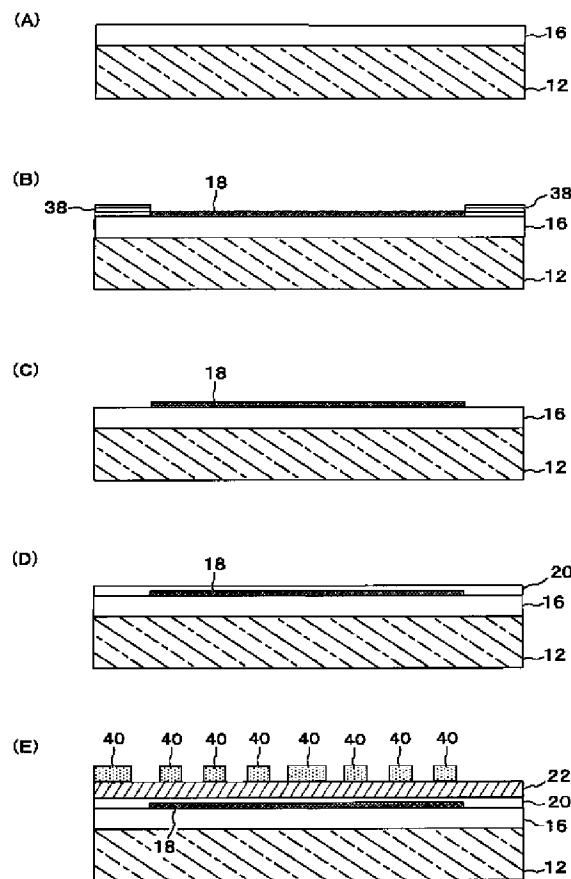
【符号の説明】

- 10…薄膜インダクタ
- 12…基板
- 14…導体層
- 16, 20, 26, 32…層間絶縁膜
- 18…下部磁性薄膜（グラニューラ薄膜）
- 22…第1層導体パターン
- 22A, 28A…接続部
- 24, 30…引出部
- 28…第2層導体パターン
- 34…上部磁性薄膜（グラニューラ薄膜）
- 38～42…レジスト
- 50…積層磁性膜
- 52…磁性層
- 54…絶縁層
- 56…磁性粒子
- 58…絶縁体
- 60…酸化防止膜
- 100…絶縁体
- 102…磁性粒子

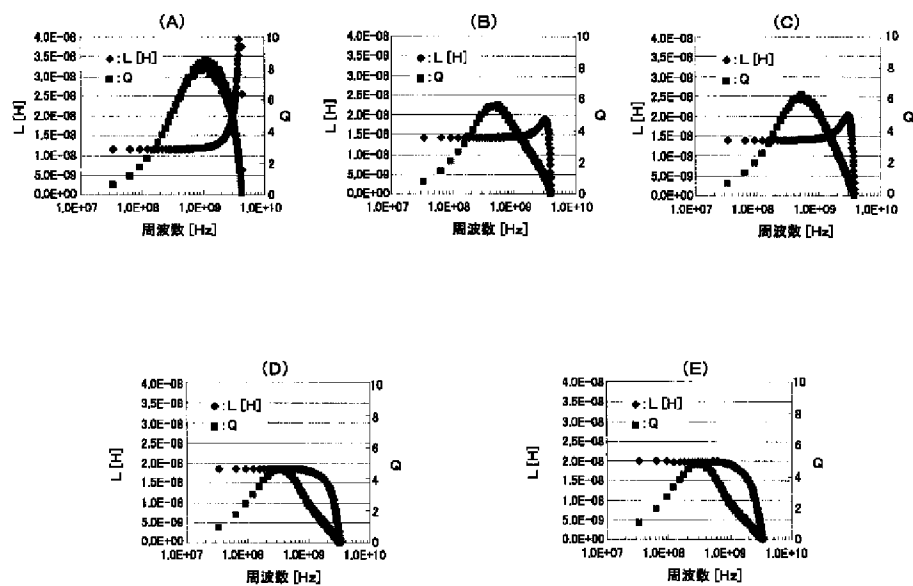
【図1】



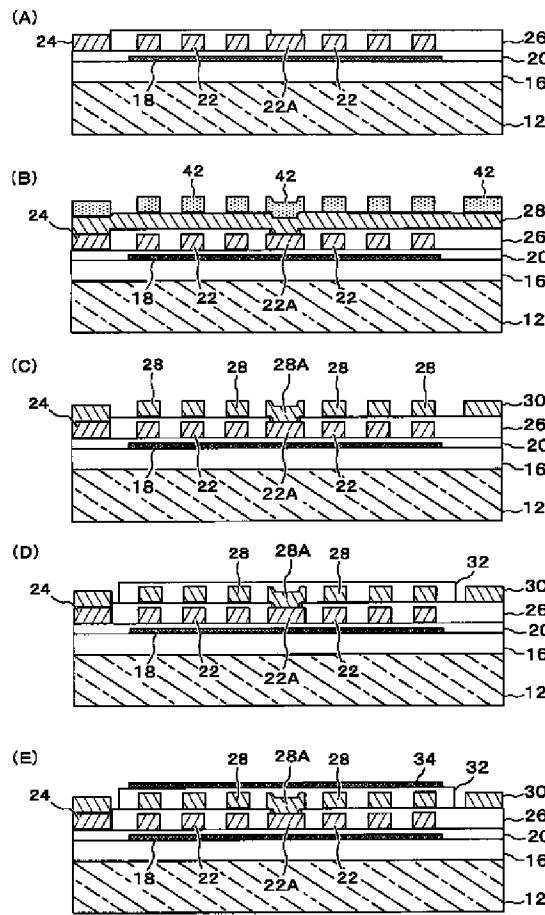
【図2】



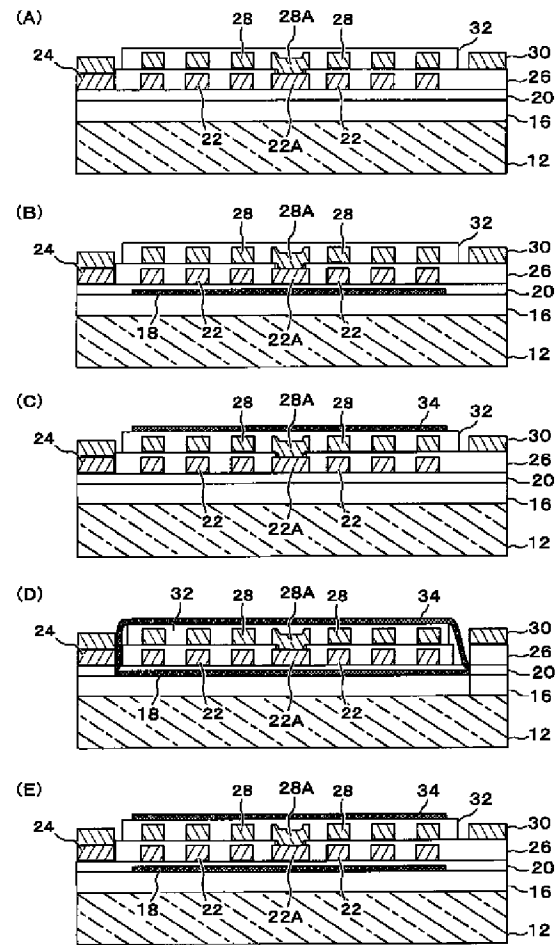
【図5】



【図3】



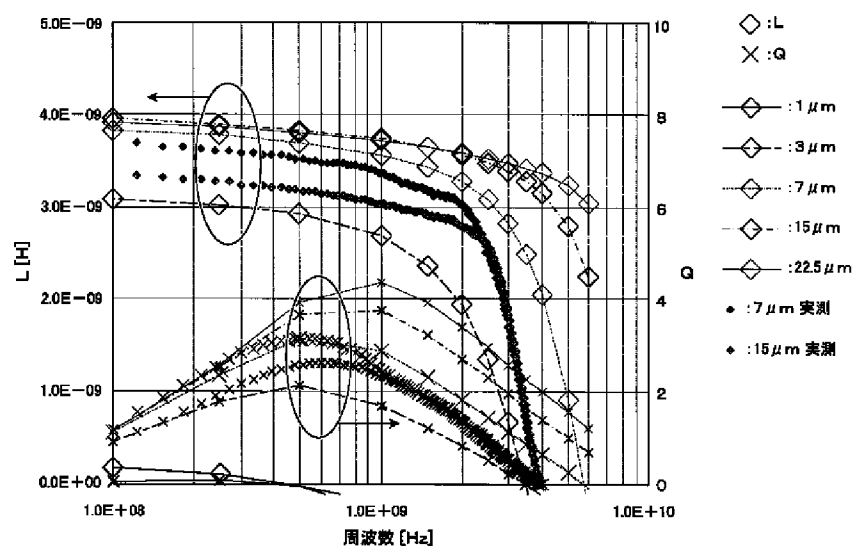
【図4】



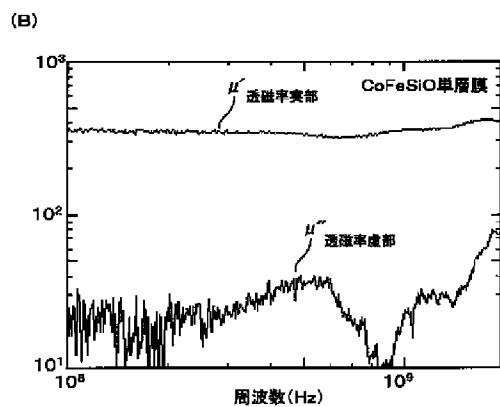
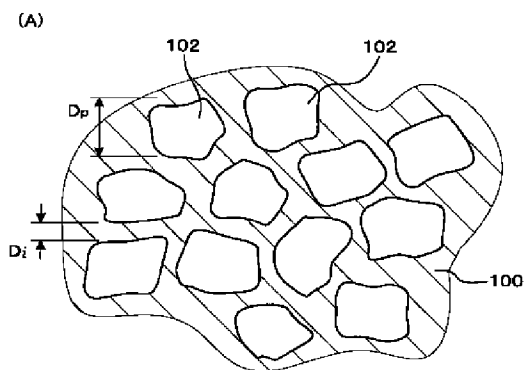
【図6】

| Line/Space=10 μ m/10 μ m | | 上部あるいは下部装荷 インダクタ | 上下装荷 インダクタ |
|----------------------------------|------------|---------------------|---------------|
| 3ターン | インダクタンス増加率 | 20% | 70% |
| | 抵抗値減少率 | 24% | 44% |
| 4ターン | インダクタンス増加率 | 33% | 80% |
| | 抵抗値減少率 | 25% | 45% |
| 5ターン | インダクタンス増加率 | 25% | 70% |
| | 抵抗値減少率 | 19% | 41% |

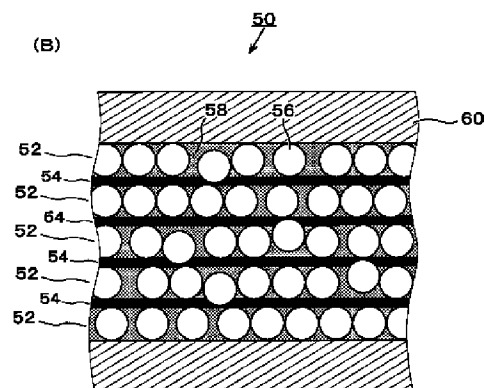
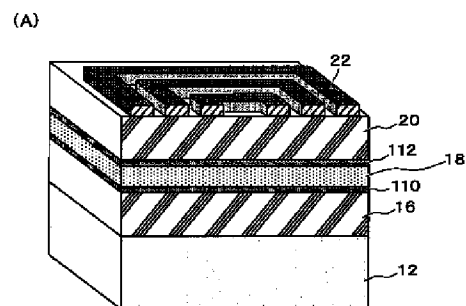
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 小林 和義
東京都台東区上野 6 丁目16番20号 太陽誘
電株式会社内

(72)発明者 太田 謙一
東京都台東区上野 6 丁目16番20号 太陽誘
電株式会社内

(72)発明者 藤本 正之
東京都台東区上野 6 丁目16番20号 太陽誘
電株式会社内

F ターム(参考) 5E070 AA01 CB12